

ADC status register (ADC_SR)

Смещение адреса: 0x00

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						JCNR	RCNR	Reserved	ADONS	OVR	STRT	JSTRT	JEOC	EOC	AWD
						r	r		r	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

Биты 31:10 зарезервированы, должны быть сброшены.

Бит 9

JCNR: Инжектированный канал не готов.

Устанавливается и очищается аппаратно после записи значений в регистр JSQR. Отображает готовность к новому инжектированному преобразованию (программным запуском через бит JSWSTART).

0: Инжектированный канал готов.

1: Инжектированный канал не готов. Бит JSWSTART не может быть установлен.

Бит 8

RCNR: Регулярный канал не готов.

Устанавливается и очищается аппаратно после записи значений в регистры SQRx или после очистки бита OVR. Отображает готовность к новому регулярному преобразованию (программным запуском через бит SWSTART).

0: Регулярный канал готов.

1: Регулярный канал не готов.

Бит 7 зарезервирован, должен быть сброшен

Бит 6

ADONS: статус готовности АЦП.

Устанавливается и очищается аппаратно, отображает готовность АЦП к работе.

0: АЦП не готов.

1: АЦП готов к преобразованию. Внешний запуск может быть разрешен, биты SWSTART, JSWSTART могут быть установлены.

Бит 5

OVR: Переполнение регистра хранения результата преобразования (возникает в случае поступления новых данных после преобразования, когда предыдущие еще не были считаны из регистра по какой-либо причине).

Устанавливается аппаратно при потере данных регулярного преобразования. Очищается программно.

Обнаружение переполнения разрешено только при DMA = 1 или EOCS = 1.

0: Переполнение не произошло

1: Переполнение произошло

Бит 4

STRT: Флаг старта преобразования в регулярном канале.

Устанавливается аппаратно при начале преобразования в регулярном канале. Очищается программно.

0: В регулярном канале не было запуска преобразования.

1: В регулярном канале произошел запуск преобразования

Бит 3

JSTRT: Флаг старта преобразования в инжектированном канале.

Устанавливается аппаратно при начале преобразования в группе инжектированных каналов. Очищается программно.

0: В группе инжектированных каналов не было запуска преобразования.

1: В группе инжектированных каналов произошел запуск преобразования

Бит 2

ЕОС: Окончание преобразования в инжектированном канале.

Устанавливается аппаратно после окончания преобразований во всех инжектированных каналах в группе. Очищается программно.

0: Преобразование не завершено

1: Преобразование завершено

Бит 1

ЕОС: Окончание преобразования в регулярном канале.

Устанавливается аппаратно после окончания преобразования регулярной группы каналов (одного канала, зависит от состояния бита ЕОС). Очищается программно или после чтения регистра хранения результата ADC_DR.

0: Преобразование не завершено (EOCS = 0) или последовательность преобразований не завершена (EOCS = 1).

1: Преобразование завершено (EOCS = 0) или последовательность преобразований завершена (EOCS = 1).

Бит 0

AWD: флаг выставляется аналоговой схемой контроля.

Устанавливается аппаратно при выходе значения измеренного напряжения за установленные пределы (значения верхнего и нижнего порогов задаются в регистрах ADC_HTR и ADC_LTR). Очищается программно.

0: Переход заданных пределов не происходил.

1: Обнаружен переход заданных пределов.

ADC control register 1 (ADC_CR1)

Смещение адреса: 0x04

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					OVR1E	RES[1:0]		AWDEN	JAWDEN	Reserved				PDI	PDD
					r/w	r/w	r/w	r/w	r/w					r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM[2:0]			JDISCEN	DISCEN	JAUTO	AWDSSL	SCAN	JEOCIE	AWDIE	EOCIE	AWDCH[4:0]				
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Биты 31:27 зарезервированы, должны быть сброшены

Бит 26

OVR1E: разрешение прерывания при переполнении.

Устанавливается и очищается программно.

0: Прерывание запрещено.

1: Прерывание разрешено. Генерируется при установке бита OVR.

Биты 25:24

RES[1:0]: Разрядность АЦП.

00: 12 разрядов

01: 10 разрядов

10: 8 разрядов

11: 6 разрядов

Записывать можно только при выключенном АЦП (ADON = 0).

Бит 23

AWDEN: Включение аналоговой схемы контроля для регулярных каналов.

Бит устанавливается и очищается программно.

0: Схема контроля деактивирована

1: Схема контроля активирована

Бит 22

JAWDEN: Включение аналоговой схемы контроля для инжектированных каналов.

Бит устанавливается и очищается программно.

0: Схема контроля деактивирована

1: Схема контроля активирована

Биты 21:18 зарезервированы, должны быть сброшены

Бит 17

PDI: Выключение АЦП во время простоя.

Устанавливается и очищается программно. Если $ADON = 1$, этим битом задается состояние АЦП (включен он или выключен) при отсутствии преобразований (во время ожидания аппаратного или программного события запуска преобразования).

0: АЦП включен во время простоя

1: На время простоя АЦП отключается

Записывать можно только при выключенном АЦП ($ADON = 0$).

Бит 16

PDD: Выключение АЦП во время задержки.

Устанавливается и очищается программно. Если $ADON = 1$, этим битом задается состояние АЦП (включен он или выключен) во время задержки между преобразованиями или последовательностью преобразований.

0: АЦП включен во время задержки

1: АЦП отключается во время задержки

Записывать можно только при выключенном АЦП ($ADON = 0$).

Биты 15:13

DISCNUM[2:0]: Для прерывистого режима задает число каналов в подгруппе

000: 1 канал

001: 2 канала

.....

111: 8 каналов

Записывать можно только при выключенном АЦП ($ADON = 0$).

Бит 12

JDISCEN: Прерывистый режим для инжектированных каналов.

Устанавливается и очищается программно для использования прерывистого режима при преобразованиях в инжектированных каналах.

0: Прерывистый режим не используется

1: Прерывистый режим используется

Записывать можно только при выключенном АЦП ($ADON = 0$).

Бит 11

DISCEN: Прерывистый режим для регулярных каналов.

Устанавливается и очищается программно для использования прерывистого режима при преобразованиях в регулярных каналах.

0: Прерывистый режим не используется

1: Прерывистый режим используется

Записывать можно только при выключенном АЦП ($ADON = 0$).

Бит 10

JAUTO: Автоинжектированный режим

Устанавливается и очищается программно для использования автоинжектированного режима преобразований в инжектированных каналах после преобразований в регулярной группе.

0: Режим отключен

1: Режим включен

Записывать можно только при выключенном АЦП ($ADON = 0$).

Бит 9

AWDSGL: Включение аналоговой схемы контроля для работы с одним каналом в сканирующем режиме.

Устанавливается и очищается программно. Позволяет использовать аналоговую схему контроля только для одного канала, контролируемый канал задается битами AWDCH[4:0].

0: Аналоговая схема контроля следит за всеми каналами

1: Аналоговая схема контроля следит только за одним каналом

Бит 8

SCAN: Сканирующий режим.

Устанавливается и очищается программно для включения сканирующего режима. В сканирующем режиме каналы для преобразований выбираются через регистры ADC_SQRx и ADC_JSQRx.

0: Режим сканирования отключен

1: Режим сканирования включен

Записывать можно только при выключенном АЦП (ADON = 0).

Бит 7

JEOSIE: Разрешение прерывания для инжектированных каналов.

Устанавливается и очищается программно для разрешения/запрета генерации прерывания по окончании преобразования.

0: Прерывание запрещено

1: Прерывание разрешено

Бит 6

AWDIE: Разрешение прерываний от аналоговой схемы контроля

Устанавливается и очищается программно для разрешения/запрета генерации прерывания от аналоговой схемы контроля. В сканирующем режиме, при выходе за пределы, сканирование прерывается, только если этот бит установлен.

0: Прерывание запрещено

1: Прерывание разрешено

Бит 5

EOSIE: Разрешение прерывания для регулярных каналов.

Устанавливается и очищается программно для разрешения/запрета генерации прерывания по окончании преобразования.

0: Прерывание запрещено

1: Прерывание разрешено

Биты 4:0

AWDCH[4:0]: Выбор каналов для работы с аналоговой схемой контроля.

Устанавливаются и очищаются программно. Здесь выбираются каналы, для которых контролируется нахождение измеряемого напряжения в заданных пределах.

00000: Канал 0

00001: Канал 1

.....

11001: Канал 25

11010: Канал 26

Другие значения зарезервированы.

Каналы 16, 17 и 26 имеют внутреннее соединение с температурным датчиком, внутренним источником опорного напряжения и неинвертирующим входом компаратора 1 соответственно.

ADC control register 2 (ADC_CR2)

Адрес смещения: 0x08

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Reserved	SWSTART	EXTEN			EXTSEL[3:0]				Reserved	JSWSTART	JEXTEN			JEXTSEL[3:0]			
	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reserved				ALIGN	EOCS	DDS	DMA	Res.	DELS			Reserved			CONT	ADON	
				rw	rw	rw	rw		rw	rw	rw	rw				rw	rw

Бит 31 зарезервирован, должен быть сброшен

Бит 30

SWSTART: Запуск преобразования в регулярных каналах.

Устанавливается программно для запуска преобразования и очищается аппаратно после старта преобразования.

0: Состояние сброса

1: Запуск преобразования

Можно устанавливать только при $ADONS = 1$ и $RCNR = 0$

Биты 29:28

EXTEN: Разрешение внешнего запуска для регулярных каналов.

Устанавливается и очищается программно для выбора среза сигнала внешнего запуска и разрешения запуска в регулярных группах.

00: Обнаружение внешнего запуска отключено

01: Обнаружение запуска по переднему срезу

10: Обнаружение запуска по заднему срезу

11: Обнаружение запуска по переднему и заднему срезам

Внешний запуск может быть разрешен только при $ADONS = 1$

Биты 27:24

EXTSEL[3:0]: Выбор внешнего события запуска для регулярной группы.

Этими битами выбирается источник события для запуска преобразования в регулярной группе.

0000: TIM9_CC2

0001: TIM9_TRGO

0010: TIM2_CC3

0011: TIM2_CC2

0100: TIM3_TRGO

0101: TIM4_CC4

0110: TIM2_TRGO

0111: TIM3_CC1

1000: TIM3_CC3

1001: TIM4_TRGO

1010: TIM6_TRGO

1011: зарезервировано

1100: зарезервировано

1101: зарезервировано

1110: зарезервировано

1111: EXTI линия 11

Бит 23 зарезервирован, должен быть сброшен

Бит 22

JSWSTART: Запуск преобразования в инжектированных каналах.

Устанавливается программно для запуска и очищается программно после начала преобразования.

0: Состояние сброса

1: Запуск преобразования

Бит может быть установлен только при $ADONS = 1$ и $JCNR = 0$

Биты 21:20

JEXTEN: Выбор внешнего события запуска для инжектированных каналов.

Устанавливается и очищается программно для выбора среза сигнала внешнего запуска и разрешения запуска в инжектированной группе.

00: Обнаружение внешнего запуска отключено

01: Обнаружение запуска по переднему срезу

10: Обнаружение запуска по заднему срезу

11: Обнаружение запуска по переднему и заднему срезам

Внешний запуск может быть разрешен только при $ADONS = 1$

Биты 19:16

JEXTSEL: Выбор внешнего события запуска для инжектированной группы.

Этими битами выбирается источник события для запуска преобразования в инжектированной группе.

0000: TIM9_CC1

0001: TIM9_TRGO

0010: TIM2_TRGO

0011: TIM2_CC1

0100: TIM3_CC4

0101: TIM4_TRGO

0110: TIM4_CC1

0111: TIM4_CC2

1000: TIM4_CC3

1001: TIM10_CC1

1010: TIM7_TRGO

1011: зарезервировано

1100: зарезервировано

1101: зарезервировано

1110: зарезервировано

1111: EXTI линия 15

Биты 15:12 зарезервированы, должны быть сброшены

Бит 11

ALIGN: Выравнивание данных

Устанавливается и очищается программно.

0: Выравнивание вправо

1: Выравнивание влево

Бит 10

EOCS: Выбор окончания преобразования

Устанавливается и очищается программно.

0: Бит ЕОС устанавливается в конце каждой последовательности регулярных преобразований.

1: Бит ЕОС устанавливается в конце каждого регулярного преобразования

Бит 9

DDS: Выбор способа деактивация DMA

Устанавливается и очищается программно.

0: Нет новых запросов DMA после последней передачи данных (конфигурация в контроллере DMA)

1: Запросы DMA выдаются до тех пор, пока идет преобразование данных и $DMA = 1$

Бит 8

DMA: Режим прямого доступа в память

Устанавливается и очищается программно.

0: Режим DMA деактивирован

1: Режим DMA активирован

Бит 7 зарезервирован, должен быть сброшен

Биты 6:4

DELS: Выбор длительности задержки.

Биты устанавливаются и очищаются программно. Определяют длительность задержки, которая автоматически вставляется после преобразования или последовательности преобразований.

000: Задержки нет

001: Задержка до тех пор, пока результат преобразования не будет считан (чтение регистра DR или сброс флага EOC = 0 для регулярных преобразований, JEОC = 0 для инжектированных преобразований).

010: 7 периодов APB

011: 15 периодов APB

100: 31 период APB

101: 63 периода APB

110: 127 периодов APB

111: 255 периодов APB

Биты можно записывать только при ADON = 0

Биты 3:2 зарезервированы, должны быть сброшены

Бит 1

CONT: Режим непрерывного преобразования.

Устанавливается и очищается программно.

0: Режим одиночного преобразования

1: Режим непрерывного преобразования.

Бит 0

ADON: Включение/выключение АЦП

Устанавливается и очищается программно.

0: АЦП выключен

1: АЦП включен

Бит можно устанавливать только при ADONS = 0, а очищать при ADONS = 1.

ADC sample time register 1 (ADC_SMPR1)

Смещение адреса: 0x0C

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														SMP25[2:1]	
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP25[0]	SMP24[2:0]			SMP23[2:0]			SMP22[2:0]			SMP21[2:0]			SMP20[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:21 зарезервированы, должны быть сброшены

Биты 20:0

SMPx[2:0]: Время выборки для канала X.

Биты записываются программно для установки времени выборки индивидуально для каждого канала. Во время выборки, эти биты должны оставаться неизменными.

000: 4 периода

001: 9 периодов

010: 16 периодов

011: 24 периода

100: 48 периодов

101: 96 периодов

110: 192 периода

111: 384 периода

Эти биты можно записывать только при ADON = 0

ADC sample time register 2 (ADC_SMPR2)

Смещение адреса: 0x10

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SMP19[2:0]			SMP18[2:0]			SMP17[2:0]			SMP16[2:0]			SMP15[2:1]	
		rw	rw	rw	rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15[0]		SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:0

SMP_x[2:0]: Время выборки для канала X.

Биты записываются программно для установки времени выборки индивидуально для каждого канала. Во время выборки, эти биты должны оставаться неизменными.

000: 4 периода

001: 9 периодов

010: 16 периодов

011: 24 периода

100: 48 периодов

101: 96 периодов

110: 192 периода

111: 384 периода

Эти биты можно записывать только при $ADON = 0$

ADC sample time register 3 (ADC_SMPR3)

Смещение адреса: 0x14

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SMP9[2:0]			SMP8[2:0]			SMP7[2:0]			SMP6[2:0]			SMP5[2:1]	
		rw	rw	rw	rw	rw									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP5[0]		SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:0

SMP_x[2:0]: Время выборки для канала X.

Биты записываются программно для установки времени выборки индивидуально для каждого канала. Во время выборки, эти биты должны оставаться неизменными.

000: 4 периода

001: 9 периодов

010: 16 периодов

011: 24 периода

100: 48 периодов

101: 96 периодов

110: 192 периода

111: 384 периода

Эти биты можно записывать только при $ADON = 0$

ADC injected channel data offset register x (ADC_JOFRx) (x = 1..4)

Смещение адреса: 0x18 – 0x24

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				JOFFSETx[11:0]												
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:12 зарезервированы, должны быть сброшены

Биты 11:0

JOFFSETx[11:0]: Смещение данных для инжектированного канала X.

Эти биты записываются программно для задания значения смещения, вычитаемого из результата преобразования в инжектированных каналах.

ADC watchdog higher threshold register (ADC_HTR)

Адрес смещения: 0x28

Значение после сброса: 0x0000 FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				HT[11:0]												
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:12 зарезервированы, должны быть сброшены.

Биты 11:0

HT[11:0]: Значение верхнего порога аналоговой сторожевой схемы.

ADC watchdog lower threshold register (ADC_HTR)

Адрес смещения: 0x2C

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved				LT[11:0]												
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:12 зарезервированы, должны быть сброшены.

Биты 11:0

LT[11:0]: Значение нижнего порога аналоговой сторожевой схемы.

ADC regular sequence register 1 (ADC_SQR1)

Адрес смещения: 0x30

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved							L[4:0]					Reserved			
							rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserv- ed	SQ27[4:0]					SQ26[4:0]					SQ25[4:0]				
	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

Биты 31:25 зарезервированы, должны быть сброшены.

Биты 24:20

L[4:0]: Длина последовательности для регулярных каналов.

Эти биты записываются программно для задания общего количества преобразований в последовательности для регулярных каналов.

0000: 1 преобразование

0001: 2 преобразования

.....

11010: 27 преобразований

Биты 19:15 зарезервированы, должны быть сброшены

Биты 14:10

SQ27[4:0]: 27 преобразование в регулярной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 26), который будет опрошен при 27 преобразовании в последовательности.

Биты 9:5

SQ26[4:0]: 26 преобразование в регулярной последовательности.

Биты 4:0

SQ25[4:0]: 25 преобразование в регулярной последовательности.

ADC regular sequence register 2 (ADC_SQR2)

Адрес смещения: 0x34

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ24[4:0]					SQ23[4:0]					SQ22[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ22[0]	SQ21[4:0]					SQ20[4:0]					SQ19[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:25

SQ24[4:0]: 24 преобразование в регулярной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 26), который будет опрошен при 24 преобразовании в последовательности.

Биты 24:20

SQ23[4:0]: 23 преобразование в регулярной последовательности.

Биты 19:15

SQ22[4:0]: 22 преобразование в регулярной последовательности.

Биты 14:10

SQ21[4:0]: 21 преобразование в регулярной последовательности.

Биты 9:5

SQ20[4:0]: 20 преобразование в регулярной последовательности.

Биты 4:0

SQ19[4:0]: 19 преобразование в регулярной последовательности.

ADC regular sequence register 3 (ADC_SQR3)

Адрес смещения: 0x38

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ18[4:0]					SQ17[4:0]					SQ16[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16[0]	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:25

SQ18[4:0]: 18 преобразование в регулярной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 26), который будет опрошен при 18 преобразовании в последовательности.

Биты 24:20

SQ17[4:0]: 17 преобразование в регулярной последовательности.

Биты 19:15

SQ16[4:0]: 16 преобразование в регулярной последовательности.

Биты 14:10

SQ15[4:0]: 15 преобразование в регулярной последовательности.

Биты 9:5

SQ14[4:0]: 14 преобразование в регулярной последовательности.

Биты 4:0

SQ13[4:0]: 13 преобразование в регулярной последовательности.

ADC regular sequence register 4 (ADC_SQR4)

Адрес смещения: 0x3C

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ12[4:0]					SQ11[4:0]					SQ10[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10[0]		SQ9[4:0]				SQ8[4:0]				SQ7[4:0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:25

SQ12[4:0]: 12 преобразование в регулярной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 26), который будет опрошен при 12 преобразовании в последовательности.

Биты 24:20

SQ11[4:0]: 11 преобразование в регулярной последовательности.

Биты 19:15

SQ10[4:0]: 10 преобразование в регулярной последовательности.

Биты 14:10

SQ9[4:0]: 9 преобразование в регулярной последовательности.

Биты 9:5

SQ8[4:0]: 8 преобразование в регулярной последовательности.

Биты 4:0

SQ7[4:0]: 7 преобразование в регулярной последовательности.

ADC regular sequence register 5 (ADC_SQR5)

Адрес смещения: 0x40

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		SQ6[4:0]					SQ5[4:0]					SQ4[4:1]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0		SQ3[4:0]				SQ2[4:0]				SQ1[4:0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:30 зарезервированы, должны быть сброшены

Биты 29:25

SQ6[4:0]: 6 преобразование в регулярной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 26), который будет опрошен при 6 преобразовании в последовательности.

Биты 24:20

SQ5[4:0]: 5 преобразование в регулярной последовательности.

Биты 19:15

SQ4[4:0]: 4 преобразование в регулярной последовательности.

Биты 14:10

SQ3[4:0]: 3 преобразование в регулярной последовательности.

Биты 9:5

SQ2[4:0]: 2 преобразование в регулярной последовательности.

Биты 4:0

SQ1[4:0]: 1 преобразование в регулярной последовательности.

ADC injected sequence register (ADC_JSQR)

Адрес смещения: 0x44

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										JL[1:0]		JSQ4[4:1]			
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4[0]		JSQ3[4:0]				JSQ2[4:0]				JSQ1[4:0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:22 зарезервированы, должны быть сброшены

Биты 21:20

JL[1:0]: Длина инжектированной последовательности.

Эти биты записываются программно для задания общего количества инжектированных преобразований в последовательности.

00: 1 преобразование

01: 2 преобразования

10: 3 преобразования

11: 4 преобразования

Биты 19:15

JSQ4[4:0]: 4 преобразование в инжектированной последовательности.

Эти биты записываются программно для назначения номера канала (от 0 до 18), который будет опрошен при 4 преобразовании в последовательности.

Биты 14:10

JSQ3[4:0]: 3 преобразование в инжектированной последовательности.

Биты 9:5

JSQ2[4:0]: 2 преобразование в инжектированной последовательности.

Биты 4:0

JSQ1[4:0]: 1 преобразование в инжектированной последовательности.

При длине последовательности $JL[1:0] = 3$ (4 преобразования в последовательности), преобразования идут в следующем порядке: JSQ1, JSQ2, JSQ3, JSQ4.

При $JL = 2$ (3 преобразования в последовательности), преобразования идут в следующем порядке: JSQ2, JSQ3, JSQ4.

При $JL = 1$ (2 преобразования в последовательности), преобразования идут в следующем порядке: JSQ3, JSQ4.

При $JL = 0$ (1 преобразование в последовательности), выполнится только одно преобразование - JSQ4.

ADC injected data register (ADC_JDRx)(x = 1..4)

Адрес смещения: 0x48 – 0x54

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Биты 31:16 зарезервированы, должны быть сброшены

Биты 15:0

JDATA[15:0]: Результаты преобразований в инжектированных каналах. Эти данные доступны только для чтения.

ADC regular data register (ADC_DR)

Адрес смещения: 0x58

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Биты 31:16 зарезервированы.

Биты 15:0

DATA[15:0]: Результат преобразования в регулярном канале. Эти данные доступны только для чтения.

ADC common status register (ADC_CSR)

Адрес смещения: 0x00 (этот адрес задается относительно базового адреса для общих регистров – ADC common registers, то есть 0x300).

Значение после сброса: 0x0000 0000

Регистр содержит различные биты состояния АЦП.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									ADONS1	OVR1	STRT1	JSTRT1	JEOC 1	EOC1	AWD1
									r	r	r	r	r	r	r

Биты 31:7 зарезервированы, должны быть сброшены

Бит 6

ADONS1: флаг статуса ADON для ADC1.

Является копией флага ADONS в регистре ADC_SR.

Бит 5

OVR1: флаг статуса переполнения АЦП.

Является копией флага OVR в регистре ADC_SR.

Бит 4

STRT1: флаг запуска преобразования в регулярном канале.
Является копией флага STRT в регистре ADC_SR.

Бит 3

JSTRT1: флаг запуска преобразования в инжектированном канале.
Является копией флага JSTRT в регистре ADC_SR.

Бит 2

JEOC1: флаг окончания преобразования в инжектированном канале.
Является копией флага JEOC в регистре ADC_SR.

Бит 1

EOC1: флаг окончания преобразования в регулярном канале.
Является копией флага EOC в регистре ADC_SR.

Бит 0

AWD1: флаг аналоговой схемы контроля.
Является копией флага AWD в регистре ADC_SR.

ADC common control register (ADC_CCR)

Адрес смещения: 0x04 (этот адрес задается относительно базового адреса для общих регистров – ADC common registers, то есть 0x300).

Значение после сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved								TSVREFE	Reserved						ADCPRE[1:0]	
								rw							rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																

Биты 31:24 зарезервированы, должны быть сброшены

Бит 23

TSVREFE: Разрешение измерения значений температурного датчика и внутреннего опорного напряжения.

Биты устанавливаются и очищаются программно.

0: Измерение значений температурного датчика и опорного напряжения не разрешено.

1: Измерение значений температурного датчика и опорного напряжения разрешено.

Биты 22:18 зарезервированы, должны быть сброшены

Биты 17:16

ADCPRE: Предделитель АЦП.

Устанавливаются и очищаются программно для выбора частоты тактирования АЦП.

00: Частота HSI делится на 1

01: Частота HSI делится на 2

10: Частота HSI делится на 4

11: Значение зарезервировано

Биты 15:0 зарезервированы, должны быть сброшены